

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC978 U.S. PT.
09/938643
08/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 1月15日

出 願 番 号

Application Number:

特願2001-005894

出 願 人

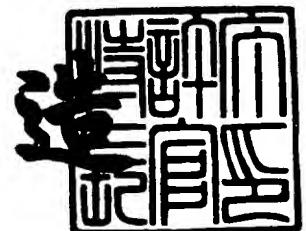
Applicant(s):

株式会社日立製作所

2001年 8月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3069347

#2 L572801
A8319.0092 30-07
Docket No.: ~~Z9995.0211/P001~~
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Hajime Akimoto, et al.

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: herewith

Examiner: Not Yet Assigned

For: IMAGE DISPLAY APPARATUS AND
DRIVING METHOD THEREOF



CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
Washington, DC 20231

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2001-005894	January 15, 2001

In support of this claim, a certified copy of the said original foreign application is
filed herewith.

Dated: August 27, 2001

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 775-4742

Attorneys for Applicant

【書類名】 特許願

【整理番号】 1100020071

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/13

【発明の名称】 画像表示装置およびその駆動方法

【請求項の数】 20

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目1番1号
 株式会社 日立製作所 日立研究所内

 【氏名】 秋元 肇

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目1番1号
 株式会社 日立製作所 日立研究所内

 【氏名】 三上 佳朗

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 1 - 0 0 5 8 9 4

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】

画像表示を行う表示部と、該表示部を駆動する駆動部が複数の信号線により接続されている画像表示装置において、

前記表示部は、マトリクス状に配置した複数の表示画素により構成され、

前記駆動部は、ラダー抵抗と、該ラダー抵抗に接続されたインピーダンス変換手段と、該インピーダンス変換手段からの出力線である階調電圧配線と、該階調電圧配線に接続された階調電圧選択手段とを有する画像表示装置。

【請求項 2】

前記階調電圧選択手段は、前記複数の信号線と接続されていることを特徴とする請求項 1 の画像表示装置。

【請求項 3】

前記表示部、前記階調電圧選択手段、及び前記階調電圧配線は同じ基板上に配置されていることを特徴とする請求項 1 又は 2 の画像表示装置。

【請求項 4】

前記インピーダンス変換手段は、ドレイン接地された電界効果トランジスタで構成されていることを特徴とする請求項 1 から 3 のいずれかに記載の画像表示装置。

【請求項 5】

前記インピーダンス変換手段は、電界効果トランジスタを用いた差動増幅回路で構成されていることを特徴とする請求項 1 から 3 のいずれかに記載の画像表示装置。

【請求項 6】

前記インピーダンス変換手段は、入出力間のオフセット電圧を検出し、除去するオフセット電圧キャンセル手段を有していることを特徴とする請求項 1 ～ 5 のいずれかに記載の画像表示装置。

【請求項 7】

前記インピーダンス変換手段は、該インピーダンス変換手段の機能を停止させる手段、及び該インピーダンス変換手段の入出力端子間を短絡させる手段を有していることを特徴とする請求項 1 ～ 6 のいずれかに記載の画像表示装置。

【請求項 8】

前記表示画素は、対向電極と、該画素電極と該対向電極との間の液晶領域を有する液晶表示画素であることを特徴とする請求項 1 ～ 7 のいずれかに記載の画像表示装置。

【請求項 9】

前記階調電圧選択手段は、電界効果トランジスタを用いたアナログスイッチで構成されていることを特徴とする請求項 1 ～ 8 のいずれかに記載の画像表示装置。

【請求項 1 0】

前記ラダー抵抗は、不純物をドーピングした多結晶 Si 薄膜で構成されていることを特徴とする請求項 1 ～ 9 のいずれかに記載の画像表示装置。

【請求項 1 1】

前記表示画素、前記階調電圧選択手段、及び前記インピーダンス変換手段は、多結晶 Si TFT（薄膜トランジスタ、Thin Film Transistor）を用いて構成されたものであることを特徴とする請求項 1 ～ 1 0 のいずれかに記載の画像表示装置。

【請求項 1 2】

前記表示画素、前記階調電圧選択手段、及び前記インピーダンス変換手段は、同じ基板上に構成されたものであることを特徴とする請求項 1 ～ 1 1 のいずれかに記載の画像表示装置。

【請求項 1 3】

前記ラダー抵抗は、一つの抵抗によって構成されたことを特徴とする請求項 1 ～ 1 2 のいずれかに記載の画像表示装置。

【請求項 1 4】

前記ラダー抵抗は、正電圧階調及び反転電圧階調生成用にそれぞれ一個を有して構成されていることを特徴とする請求項 1 ～ 1 3 のいずれかに記載の画像表示

装置。

【請求項 1 5】

前記複数の表示画素は、入力されたアナログ画像信号によって制御され、陽電極と陰電極間を流れる電流によって生じる発光により画像を表示するための発光機能を有する発光型の表示画素であることを特徴とする請求項 1 ～ 1 4 のいずれかに記載の画像表示装置。

【請求項 1 6】

表示部の各画素の画素容量に信号線を介してアナログ画像信号電圧を書き込んで画像表示を行う画像表示装置の駆動方法において、

信号線へのアナログ画像信号電圧の書き込みの際に、3 回のフェーズに分けてアナログ画像信号電圧の書き込みを行うことを特徴とする画像表示装置の駆動方法。

【請求項 1 7】

前記画像表示装置における上記信号線へのアナログ画像信号電圧の書き込みは、オフセットキャンセル容量を用いたオフセットキャンセル手段を有するインピーダンス変換手段を用いて行われており、

1 回目のフェーズでは、該インピーダンス変換手段を用いたアナログ画像信号電圧の書き込みと同時に該インピーダンス変換手段の入出力電圧間に生じるオフセット電圧の該オフセットキャンセル容量への書き込みを行い、

2 回目のフェーズでは、該インピーダンス変換手段を用いたアナログ画像信号電圧の書き込みと同時に該オフセットキャンセル手段を用いたインピーダンス変換手段のオフセット電圧のキャンセルを行い、

3 回目のフェーズでは、該インピーダンス変換手段を介さず直接に上記信号線へのアナログ画像信号電圧の書き込みを行うことを特徴とする請求項 1 6 の画像表示装置の駆動方法。

【請求項 1 8】

前記信号線には電圧リセット手段が設けられており、これにより予め信号線の電圧をリセットした後に、3 回のフェーズに分けてアナログ画像信号電圧の書き込みを行うことを特徴とする請求項 1 6 の画像表示装置の駆動方法。

【請求項 19】

画像表示を行うためにマトリクス状に配置された複数の表示画素と、アナログ画像信号を伝達するために各列毎に設けられ、該表示画素に接続された信号線群と、該表示画素と該信号線群を所定のタイミングで駆動するための駆動回路部を有し、該表示画素の画素容量に該信号線を介してアナログ画像信号電圧を書き込んで画像表示を行う画像表示装置の駆動方法において、

前記駆動回路部は、ラダー抵抗と該ラダー抵抗に接続される複数本の階調電圧配線を有し、

前記信号線群は、該階調電圧配線に階調電圧選択手段を介して接続されており、

各階調電圧配線は、インピーダンス変換手段を介して該ラダー抵抗に接続されており、

少なくとも該表示画素、該信号線群、階調電圧選択手段、階調電圧配線は同じ基板上に設けられており、

該信号線へのアナログ画像信号電圧の書き込みの際に、3回のフェーズに分けてアナログ画像信号電圧の書き込みを行うことを特徴とする画像表示装置の駆動方法。

【請求項 20】

画像表示を行うためにマトリクス状に配置された複数の表示画素と、

アナログ画像信号を伝達するために各列毎に設けられ、該表示画素に接続された信号線群と、

該表示画素と該信号線群を所定のタイミングで駆動するための駆動回路部を有し、

入力された画像表示データを基に、所定のシーケンスに従って該表示画素に画像を表示させるための手段を有する画像表示端末システムにおいて、

前記駆動回路部はラダー抵抗と該ラダー抵抗に接続される複数本の階調電圧配線を有し、

前記信号線群は該階調電圧配線に階調電圧選択手段を介して接続されており、

各階調電圧配線はインピーダンス変換手段を介して該ラダー抵抗に接続されて

おり、

少なくとも該表示画素、該信号線群、階調電圧選択手段、階調電圧配線は単一基板上に設けられていることを特徴とする画像表示端末システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は特に歩留り及び画質の向上が可能な、画像表示装置に関する。

【0002】

【従来の技術】

以下、図10を用いて従来の技術に関して説明する。

【0003】

図10は従来の技術を用いた、TFT液晶表示パネルの構成図である。液晶容量202と画素スイッチ201を有する表示画素213がマトリクス状に配置され、画素スイッチ201のゲートはゲート線203を介してゲート線シフトレジスタ204に接続されている。また画素スイッチ201の一端は信号線205を介してソースフォロア回路206に接続されている。ソースフォロア回路206にはDA変換器207が接続されており、DA変換器207にはラインメモリ209が、ラインメモリ209にはデータラッチ210が、データラッチ210には水平シフトレジスタ212が入力している。なおDA変換器207にはこの他にも基準電圧線208が、データラッチ210には表示データ線211が入力している。なおここでソースフォロア回路206は、poly-Si TFTを用いて構成されている。

【0004】

以下、本従来例の動作を説明する。表示データ線211を介して入力された表示データは、水平シフトレジスタ212によってデータラッチ210に順次ラッチされる。次いでこのラッチされた表示データは水平入力期間毎にラインメモリ209に転送され、DA変換器207に入力される。DA変換器207は基準電圧線208より入力される基準電圧を基に、この表示データをデジタル入力としたアナログ画像信号電圧をソースフォロア回路206を介して信号線205に出

力する。このときゲート線シフトレジスタ204によって選択された所定の表示画素行の画素スイッチ201がターンオンすると、上記のアナログ画像信号電圧は選択された表示画素の液晶容量202に書き込まれる。以上の動作によって、本TFT液晶パネルは入力された表示データに基づく画像表示が可能となる。なおここで上記ソースフォロア回路206には、容量とスイッチから構成されるオフセットキャンセル機能が付与されている。

【0005】

このような従来技術に関しては、例えば特開平11-73165号等に詳しく記載されている。

【0006】

【発明が解決しようとする課題】

上記従来技術における全体構成は、オフセットキャンセラを有するバッファアンプにソースフォロア回路構成を採用してはいるものの、基本的にはアモルファスSi TFTパネルで工業的に用いられてきたものと同一のものである。しかしながらこのような全体構成を多結晶Si TFTを用いて実現することには、以下のような大きな課題が存在する。

【0007】

まず第一に、バッファアンプのようなアナログ能動回路を信号線の本数分作り込むことは、歩留りを低下させる原因になるという問題である。アモルファスSi TFTパネルではバッファアンプを特性の均一性に優れた単結晶Si トランジスタで構成するが、多結晶Si TFTはチャネル中に分布する多数の欠陥準位に起因する特性ばらつきが大きいいため、バッファアンプの特性ばらつきも必然的に大きくなり、これが歩留りを低下させる原因になるのである。

【0008】

第二には多結晶Si TFTを用いたオフセットキャンセラの能力は、単結晶Si トランジスタで構成されたものほど高くないという点である。多結晶Si TFTは単結晶Si トランジスタほどの微細加工が困難であるため、必然的にオフセットキャンセラの各スイッチが有する寄生容量が大きくなり、かつ寄生容量値のばらつきも大きくなる。これはそのまま、オフセットキャンセラのキャン

セル出力誤差の増大をもたらし、これはそのまま画質のS/N低下をもたらしてしまう。

【0009】

【課題を解決するための手段】

本出願の画像表示装置の一実施態様によれば、画像表示を行う表示部と、この表示部を駆動する駆動部が複数の信号線により接続されている画像表示装置で、表示部はマトリクス状に配置した複数の表示画素により構成され、駆動部はラダー抵抗とこのラダー抵抗に接続されたインピーダンス変換手段と、このインピーダンス変換手段からの出力線である階調電圧配線と、この階調電圧配線に接続された階調電圧選択手段とを有している。

【0010】

さらに、階調電圧選択手段は、複数の信号線と接続されているというものである。

【0011】

また、本出願の他の一実施態様によれば、画像表示を行うためにマトリクス状に配置された複数の表示画素と、アナログ画像信号を伝達するために各列毎に設けられ、表示画素に接続された信号線群と、表示画素と信号線群を所定のタイミングで駆動するための駆動回路部を有し、入力された画像表示データを基に、所定のシーケンスに従って該表示画素に画像を表示させるための手段を有する画像表示端末システムで、駆動回路部はラダー抵抗とこのラダー抵抗に接続される複数の階調電圧配線を有し、信号線群は階調電圧配線に階調電圧選択手段を介して接続されており、各階調電圧配線はインピーダンス変換手段を介して該ラダー抵抗に接続されており、少なくとも表示画素、信号線群、階調電圧選択手段、階調電圧配線は単一基板上に設けられているというものである。

【0012】

このような実施形態によれば、インピーダンス変換手段のようなアナログ能動回路は信号線の本数分ではなく、階調電圧配線の本数分形成すれば良い。これはCIF (Common Intermediate Format)、表示データ4bitの共通画素電極交流駆動のパネルで計算すれば、 $(352 \times RGB = 1056)$ 個から $(2の4乗 =$

16) 個への低減になり、著しい歩留り向上効果が得られる。

【0013】

【発明の実施の形態】

(実施例1)

以下図1～図5を用いて、本発明の実施例1に関して説明する。

【0014】

始めに本実施例1の全体構成に関して述べる。

【0015】

図1は本実施例1であるpoly Si-TFT液晶表示パネルの構成図である。

【0016】

液晶容量2とpoly Si-TFTからなる画素スイッチ1を有する表示画素13がマトリクス状に配置され、画素スイッチ1のゲートはゲート線3を介してゲート線シフトレジスタ4に接続されている。また画素スイッチ1の一端は信号線5を介してDA変換器7に接続されている。DA変換器7にはラインメモリ9が入力しており、またラインメモリ9にはデータラッチ10が、データラッチ10には水平シフトレジスタ12が接続されている。なおここでDA変換器7には基準電圧線8が共通に入力しており、基準電圧線8はバッファアンプ14を介してラダー抵抗15に接続されている。またデータラッチ10には表示データ線11が共通に入力している。なおここでは液晶の共通電極、カラーフィルタやバックライト構成等、カラーTFTパネルの構築に必要な一般的な構造や表示データ線11の入力部は一般的な構成のため、図面の簡略化のために記載を省略している。また、複数の表示画素13により、表示画素マトリクス(若しくは表示部)を構成している。また、水平シフトレジスタ12、データラッチ10、DA変換器7を有する構成により水平駆動回路86を構成している。ゲート線シフトレジスタ4を含むゲート線選択回路84及び水平駆動回路86を有する構成として駆動回路部と称しても良い。

【0017】

次に本実施例1の全体の動作を説明する。なお各部分の詳細な構造及びその動作に関しては、この後に個々の構成要素の説明の中で順次述べて行くことにする

【 0 0 1 8 】

表示データ線 1 1 を介して入力された表示データは、水平シフトレジスタ 1 2 によってデータラッチ 1 0 に順次ラッチされる。次いでこのラッチされた表示データは水平入力期間毎にラインメモリ 9 に転送され、D A 変換器 7 に入力される。D A 変換器 7 は基準電圧線 8 より入力される基準電圧を基に、この表示データをデジタル入力としたアナログ画像信号電圧を信号線 5 に出力する。このときゲート線シフトレジスタ 4 によって選択された所定の表示画素行の画素スイッチ 1 がターンオンすると、信号線 5 に出力された上記のアナログ画像信号電圧は選択された表示画素の液晶容量 2 に書き込まれる。以上の動作によって、本 T F T 液晶パネルは入力された表示データに基づく画像表示を行う。なおここで基準電圧線 8 に入力される基準電圧は、ラダー抵抗 1 5 で生じる基準電圧を基に、バッファアンプ 1 4 を必要に応じて用いることにより生成される。

【 0 0 1 9 】

以下、本実施例の各部の構成要素及びその動作に関して順を追って説明を行う。

【 0 0 2 0 】

水平シフトレジスタ 1 2 , データラッチ 1 0 , ラインメモリ 9 , D A 変換器 7 :

以下図 2 を用いて、水平シフトレジスタ 1 2 , データラッチ 1 0 , ラインメモリ 9 , D A 変換器 7 に関してその構成及び動作を説明する。

【 0 0 2 1 】

図 2 は一本の信号線 5 に対応する水平シフトレジスタ 1 2 , データラッチ 1 0 , ラインメモリ 9 , D A 変換器 7 の構成図である。水平シフトレジスタ 1 2 からは互いに反転するラッチ信号配線 3 1 , 3 2 がデータラッチ 1 0 に延びている。データラッチ 1 0 は表示データビット毎にクロックインバータ 3 3 , 3 5 , 及びインバータ 3 4 で構成されており、表示データ線 1 1 がその入力に接続される。なお表示データビットは実際は 6 bit であるが、ここでは図面の簡略化のために表示データビットを 3 bit として図示してある。データラッチ 1 0 の出力は更に表示データビット毎に、クロックインバータ 3 6 , 3 8 , 及びインバータ

37で構成されるラインメモリ9に入力しており、各ラインメモリは互いに反転するラインラッチ配線39, 40で制御される。更にラインメモリ9の出力は、電圧選択型のDA変換器7に入力する。ここで被選択電圧はアナログ階調の本数に相当する基準電圧線8を介して供給されており、ラインメモリ9から出力された表示データはレベルシフト回路41を介して、階調選択用トランジスタ42, 43, 44に入力される。なお本図では、階調選択用トランジスタ42はMSB(最大量子化ビット, Most Significant Bit)、階調選択用トランジスタ44はLSB(最小量子化ビット, Least Significant Bit)に対応する。図示のように階調選択用トランジスタ42, 43, 44は、DA変換特性に合わせてそのオン、オフ特性が反転するように、nMOS, pMOSを意識的に選択して構成されている。DA変換器7の出力は信号線5に直接接続される。

【0022】

以下に水平シフトレジスタ12, データラッチ10, ラインメモリ9, DA変換器7の動作を説明する。水平シフトレジスタ12は表示データ線11に入力される表示データに同期する駆動信号により、所定のタイミングでデータラッチ10にラッチ信号配線31, 32を介してラッチパルスを入力する。これによりデータラッチ10は表示データ線11に入力されている表示データをサンプリングし、クロックインバータ35及びインバータ34で構成されるラッチ回路に表示データを取り込む。この表示データは、所定のタイミングで駆動されるラインラッチ配線39, 40により、1行書込み期間(1水平入力期間)毎にラインメモリ9に転送され、更にラッチされる。このラッチデータはレベルシフト回路41によって振幅変調を受けた後、階調選択用トランジスタ42, 43, 44で構成される電圧選択マトリクスのゲートに入力され、この結果選択された基準電圧が信号線5に出力される。

【0023】

なお本実施例では各クロックインバータやインバータを多結晶Si TFTを用いたCMOS回路で構成しているが、同様な機能を有するその他の回路構成が可能であることは言うまでもない。また低消費電力化のために水平シフトレジスタ12, データラッチ10, ラインメモリ9を5V振幅の低電圧駆動回路で構

成したために、階調選択用トランジスタ42, 43, 44のゲート部との間にレベルシフト回路41を設けて電圧振幅を10Vに増幅しているが、水平シフトレジスタ12, データラッチ10, ラインメモリ9等を当初から10V程度の大電圧振幅で駆動すれば、レベルシフト回路41が不要であることは明らかである。また階調選択用トランジスタ42, 43, 44のマトリクスをCMOSのアナログスイッチ構成とすることも可能であり、この場合もレベルシフト回路41の電圧低減や、レベルシフト回路41を不要にすることが可能である。

【0024】

バッファアンプ14, ラダー抵抗15:

以下図3を用いて、バッファアンプ14及びラダー抵抗15に関してその構成及び動作を説明する。

【0025】

図3はバッファアンプ14及びラダー抵抗15と、その周辺の回路構成図である。ラダー抵抗15には9個の外部回路接続端子16が設けられており、各外部回路接続端子16にはS i - L S I (Large Scale Integrated Circuit) である基準電圧発生回路17の基準電圧発生アンプ18からの出力が接続されている。ラダー抵抗15には、各外部回路接続端子16間に8個ずつバッファアンプ14が設けられており、バッファアンプ14の出力はそれぞれ基準電圧線8に接続されている。バッファアンプ14は合計で64個設けられているが、これは前述のように表示データビットが6bit であることに対応している。

【0026】

ここでラダー抵抗15は、エラーによる階調反転を生じることなく64階調の基準電圧を生成するために用いられるが、基準電圧発生回路17は64階調の基準電圧値を調整するために用いられる。またバッファアンプ14はラダー抵抗15に対する、基準電圧線8に接続された信号線5に起因する負荷容量の影響を抑制する目的で用いられているが、これに関しては後述することにする。

【0027】

なお本実施例においては表示データビットを6bit としたために64階調の基準電圧線8が必要となっているが、表示データビットをnbit とすれば、基準電

圧線 8 は 2^n 階調とすれば良いことは言うまでもない。また本実施例では基準電圧発生回路 17 を Si-LSI で構成したが、個別部品で構成する等、本発明の主旨を損ねない範囲で種々の形態をとることが可能である。なおここで基準電圧発生回路 17 を後述のバッファアンプ 14 同様に多結晶 Si-TFT 回路で一体型構成すれば、外部回路接続端子 16 が不要になることは明らかである。

【0028】

バッファアンプ 14 詳細：

以下図 4 及び図 5 を用いて、バッファアンプ 14 に関してその具体的な構成及び動作を説明する。

【0029】

図 4 はバッファアンプ 14 の回路構成図である。アンプの本体はドレイン接地接続された n チャンネル TFT 21 であり、そのドレインは定電圧電源 V_{dd} に接続されている。TFT 21 のゲートはスイッチ 1 (SW1) 23 及びオフセットキャンセル容量、 C_c 22 に接続され、スイッチ 1 (SW1) 23 の他端はスイッチ 2 (SW2) 24 の一端と共にバッファアンプ 14 の入力部、 V_{in} につながっている。オフセットキャンセル容量、 C_c 22 の他端とスイッチ 2 (SW2) 24 の他端とは共通にスイッチ 3 (SW3) 25 の一端に入力しており、スイッチ 3 (SW3) 25 の他端はバッファアンプ 14 の出力部、 V_{out} である。また TFT 21 のソースはスイッチ 4 (SW4) 26 を介してやはりバッファアンプ 14 の出力部、 V_{out} に接続されている。なおバッファアンプ 14 の出力部、 V_{out} には、この他にリセットスイッチ 27 が設けられている。なおここで TFT 21、上記の各スイッチ 23, 24, 25, 26, 27 は全て多結晶 Si-TFT 素子を用いて構成されている。

【0030】

次に図 5 を用いてバッファアンプ 14 の動作を述べる。図 5 はバッファアンプ 14 の動作タイミングチャートであり、説明の都合上、 n 行目と $(n+1)$ 行目のゲート線 3 の動作もそれぞれ $gate(n)$, $gate(n+1)$ として合わせて示してある。またリセットスイッチ 27, スwitch 1 (SW1) 23, スwitch 2 (SW2) 24, スwitch 3 (SW3) 25, スwitch 4 (SW4) 26 の動作

はそれぞれ図中ではreset(27), SW1(23), SW2(24), SW3(25), SW4(26)として記載した。なお本図における波形は、上が各スイッチ或いはゲートがオン状態、下がオフ状態であることを示すものとする。1行の書込み期間(1水平入力期間)の始めのリセット期間にゲート線3がオンすると、同時にリセットスイッチ27がオンし、基準電圧線8とこれに接続された信号線5はリセット電圧レベルにリセットされる。次いで1次プリチャージフェーズになると、リセットスイッチ27はオフし、スイッチ1(SW1)23とスイッチ4(SW4)26がオンする。このとき入力部、 V_{in} に印加されている電圧がTFT21のゲートに入力し、TFT21はドレイン接地トランジスタとして動作する。この結果、TFT21のしきい値電圧を V_{th} とおくと、出力部、 V_{out} の電圧はほぼ $(V_{in} - V_{th})$ にプリチャージされることになる。ここでこのとき、オフセットキャンセル容量、 C_{c22} の両端には電圧 V_{th} が充電される。次に2次プリチャージフェーズになると、スイッチ1(SW1)23はオフ、スイッチ2(SW2)24がオンし、スイッチ3(SW3)25がオフする。このときTFT21のゲートには、オフセットキャンセル容量、 C_{c22} を介することによって $(V_{in} + V_{th})$ の電圧が入力するため、出力部、 V_{out} の電圧はほぼ V_{in} にプリチャージされることになる。ここで上記オフセットキャンセルの動作を確実にするためには、スイッチ1(SW1)23のオフを一步先に行うことが望ましく、更にスイッチ1(SW1)23にはスイッチフィードスルー等の非理想特性はあってはならない。しかし実際には本スイッチは前述のように多結晶Si TFTを用いて実現されているため、このようなスイッチフィードスルーは単結晶Siトランジスタよりも大きく、かつばらつくことは避けられない。これは多結晶Siで構成されたチャネル内には、多数の欠陥準位が分布しているためである。このために現実には、2次プリチャージフェーズの終わりになっても、 V_{out} の値は V_{in} よりも数十mV程度ずれてしまっている。そこで本実施例においては、この後の直接入力フェーズにおいて、スイッチ3(SW3)25をオンし、スイッチ4(SW4)26をオフさせる直接書込みを行う。このときTFT21はソースが遮断されるために動作を停止し、これに代わってスイッチ2(SW2)24とスイッチ3(SW3)25を介して V_{in} の

電圧が V_{out} に直接書き込まれる。この直接入力フェーズにおいては、バッファアンプは動作しない訳であるから、基準電圧線 8 に接続される全ての容量に対する充電はラダー抵抗 15 を介して行われなければならない。しかしバッファアンプ 14 が始めから全く存在しない場合にはラダー抵抗 15 を介した充電は液晶を駆動するために必要な数 V のオーダーであるのに比較して、本発明の場合の上記充電は 2 次プリチャージフェーズで生じた書き込み誤差である数十 mV 程度と、 $1/100$ 程度の電荷量なのである。この比率の分だけラダー抵抗 15 の電流駆動能力は低く設計することも可能であり、直接入力フェーズにおけるラダー抵抗 15 貫通電流の増大、あるいは時定数の問題は回避される。また本実施例においては直接入力フェーズの採用によって、バッファアンプ 14 のオフセット誤差は言うに及ばず、オフセットキャンセル誤差に関してもその低減が可能である。加えて本実施例においては、上記の効果を生じせしむるために必要な能動トランジスタは、わずか 64 個の TFT 21 で十分である。

【0031】

さて本実施例の動作に関しては、特に図示していないが、他には各画素の液晶容量 2 が接続されている共通電極の交流駆動が必要である。本実施例においては DA コンバータ 7 は各信号線 5 に対して同等の構成を有しているために、このままでは液晶に対する行毎、或いはフレーム毎の極性反転ができない。そこで本実施例においては、このような液晶に対する反転駆動を行うために、共通電極を行毎、或いはフレーム毎に選択的に交流駆動できるようにしている。ここで行毎の交流駆動には表示画面上のフリッカを抑制する効果があり、フレーム毎の交流駆動には共通電極駆動時の消費電力を低減する効果がある。

【0032】

なお本実施例においては特に記載していないものに関しては、各スイッチ及びトランジスタはガラス基板上に設けられた多結晶 Si TFT を用いて実現されている。この多結晶 Si TFT の作成に際しては、一般に低温多結晶 Si プロセスとして良く知られている製造プロセスを用いた。しかしながら本実施例の本質は製造方法やデバイス構造ではなく、高温多結晶 Si TFT やアモルファス Si TFT 等のその他のデバイスや石英基板、プラスチック基板、 Si 基板等

のその他の基板を用いても、上記に準じた効果が得られることは明らかである。また電圧関係を調整すれば、本実施例におけるTFTのチャネル極性をn型からp型に変更することや、その他の回路構成を採用することも可能である。更に本実施例の各スイッチは特にことわらない限り、TFTを用いたCMOSアナログスイッチを用いているが、これを単チャネルのスイッチにして本実施例に準じた特性を得ることも可能である。

【 0 0 3 3 】

なお本実施例においては、 288×352 画素のCIF(Common Intermediate Format)画素構成を採用しているが、本実施例の適用は基本的には画素数の制約は受けない。

(実施例2)

以下、本発明における実施例2について、図6を用いて説明する。

【 0 0 3 4 】

図6は本実施例2におけるpoly-Si TFT液晶表示パネルの構成図である。

【 0 0 3 5 】

実施例2の主な構成および動作は、実施例1のそれと同様であるので説明を省略する。本実施例における実施例1との差異は、DAコンバータ7，基準電圧線8，バッファアンプ14，ラダー抵抗15からなるアナログ系回路が切替えスイッチ61，62，63，64を介して二重に設けられていることであり、更に図示していないが、各画素の液晶容量2が接続されている共通電極を直流電圧に保持していることである。

【 0 0 3 6 】

本実施例においては、DAコンバータ7a，基準電圧線8a，バッファアンプ14a，ラダー抵抗15aからなるアナログ系回路と、DAコンバータ7b，基準電圧線8b，バッファアンプ14b，ラダー抵抗15bからなるアナログ系回路は、奇数列と偶数列の信号線5に対して、切替えスイッチ61，63と、切替えスイッチ62，64を介して切替え可能に接続されている。ここでラダー抵抗15a，15bに印加される基準電圧はそれぞれ液晶の極性反転駆動に相当する

電圧であり、本実施例は切替えスイッチ61、63と、切替えスイッチ62、64の切替えタイミングによって、液晶表示画面の列毎反転駆動ないしドット反転駆動を選択することが可能である。列毎反転駆動の場合には切替えスイッチ61、63と、切替えスイッチ62、64の駆動パルスが簡単になるという長所があるが、ドット反転駆動の場合には画面上のクロストークが抑制されて画質が向上するという効果がある。

(実施例3)

以下、本発明における実施例3について、図7を用いて説明する。

【0037】

実施例3であるpoly-Si TFT液晶表示パネルの主な構成および動作は、実施例1のそれと同様であるので構成図及びその説明は省略する。しかし実施例1と比較した場合の本実施例の差異は、バッファアンプ14の構成である。以下本実施例におけるバッファアンプ14の構成に関して説明する。

【0038】

図7は本実施例におけるバッファアンプ14の構成図であり、実施例1における図4に対応している。実施例1と比較した場合の本実施例の差異は、実施例1のバッファアンプ14がドレイン接地されたnチャネルTFTと、オフセットキャンセル、及びバッファアンプの出力を遮断しかつ入出力部を短絡する機能を有していることに対して、本実施例のバッファアンプ14は負帰還をかけた差動増幅回路で構成されており、オフセットキャンセルや入出力部の短絡機能は有していないことである。

【0039】

上記差動増幅回路は、nチャネルTFTであるドライバTFT71、72、pチャネルTFTである負荷TFT73、74、電流源TFT75からなる差動回路部と、差動回路出力電圧のDCシフト及びインピーダンス変換を目的とした、2つのnチャネルTFTであるドライバTFT76、電流源TFT77からなるソースフォロア回路部とから構成されている。入力部Vinは上記差動回路部の一方の入力端子に接続されており、更にその出力部Voutが上記差動回路部の他方の入力端子に帰還することにより、バッファアンプ14全体はボルテージフ

オロアとして動作する。

【 0 0 4 0 】

本実施例においては、バッファアンプ 1 4 の構成は複雑になり能動デバイスとして動作する T F T の数も実施例 1 よりは増えてしまうが、前記従来例に比較すればそれでも能動デバイスの数は激減しており、歩留りの向上効果は大きい。更に本実施例においてはオフセットキャンセル動作を行わないために、実施例 1 に比較して駆動が簡単になるという長所を有する。

【 0 0 4 1 】

なお本実施例に関しては、本発明の効果を失わない範囲内で種々の回路的変形が可能であることは言うまでもない。例えば差動回路部やソースフォロア回路部にカスコード構成を適用してボルテージフォロアの入出力電圧特性を向上させることや、更に開放利得を向上させるためにもう一段新たな増幅回路部を設けることなどが考えられる。或いはバッファアンプ 1 4 の特性をより向上させるために、この部分に単結晶 L S I を適用することも可能である。

(実施例 4)

以下、本発明における実施例 4 について、図 8 を用いて説明する。

【 0 0 4 2 】

本実施例の主な構成および動作は実施例 1 のそれと同様であるので、全体構成図を含めその説明は省略する。実施例 1 と比較した場合の本実施例の差異は、表示画素 8 0 の構成として、液晶表示セルに代えて電界発光効果 (Electro-luminescence, 以下 E L と表記する) 表示セルを用いていることである。

【 0 0 4 3 】

図 8 は本実施例における表示画素の構成図である。

【 0 0 4 4 】

表示画素 8 0 は画素容量 8 1 と画素スイッチ 1 を有し、画素スイッチ 1 のゲートはゲート線 3 に、また画素スイッチ 1 の一端は信号線 5 に接続されているところまでは、第一の実施例の画素 1 3 の構成と類似している。しかし本実施例においては、画素スイッチ 1 と画素容量 8 1 はそのまま電流駆動 T F T 8 2 のゲートに入力されており、電流駆動 T F T 8 2 のドレイン側は E L ダイオード 8 3 を介

して定電圧 V_d が印加された定電圧線 84 に接続されている。また画素容量 81 の対向電極は、所定の電圧に接地されている。

【0045】

本実施例の画素部の動作を以下に説明する。ゲート線 3 が選択されてオン状態になると、信号線 5 に印加されていたアナログ画像信号電圧が画素スイッチ 1 を介して画素容量 81 に書き込まれ、ゲート線 3 によって画素スイッチ 1 が再びオフ状態になった後も、書き込まれたアナログ画像信号電圧が画素容量 81 に保持されるところまでは、実施例 1 の画素 13 の動作とほぼ同様である。しかし本実施例においては、上記アナログ画像信号電圧は電流駆動 TFT 82 のゲートに入力されるため、EL ダイオード 83 には上記アナログ画像信号電圧の値に応じた駆動電流が流れる。この駆動電流によって EL ダイオード 83 は上記アナログ画像信号電圧に対応した輝度で発光するため、本実施例は信号線 5 に印加されるアナログ画像信号電圧に応じた自発光表示を行うことができる。

【0046】

本実施例においても実施例 1 と同様に、歩留りと画質の向上を同時に図ることができる。

【0047】

なお本実施例は自発光型ディスプレイパネルであるため、実施例 1 で述べた液晶層やバックライトが不要なこと、また液晶を有さないために液晶容量のようなアナログ画像信号電圧の交流化を図る必要が無いことは言うまでもない。

(実施例 5)

以下図 9 を用いて、本発明における実施例 5 に関して説明する。

【0048】

図 9 は実施例 5 である画像表示システムにおける、画像表示端末 201 の全体構成図である。

【0049】

無線インターフェース (I/F) 回路 202 には、圧縮された画像データが外部から bluetooth 規格に基づく無線データとして入力し、無線インターフェース回路 202 の出力は I/O 回路 203 を介してバス 206 に接続される。バス 206

にはこの他にマイクロプロセサ204、タイミングコントローラ207、フレームメモリ208等が接続されている。更にタイミングコントローラ207の出力はpoly-Si TFT液晶表示パネル88に入力しており、poly-Si TFT液晶表示パネル88には基準電圧生成回路87、水平駆動回路86、ゲート線選択回路84、表示画素マトリクス85が設けられている。なお画像表示端末201には上記の他に、2次電池209および照明205が設けられており、照明205はI/O回路203により制御されている。なおここでpoly-Si TFT液晶表示パネル88は、先に延べた実施例1と同様の構成および動作を有しているので、その内部の構成及び動作の記載はここでは省略する。

【0050】

以下に本実施例5の動作を説明する。始めに無線インタフェース回路202は圧縮された画像データを外部から取り込み、この画像データをI/O回路203を介してマイクロプロセサ204及びフレームメモリ208に転送する。マイクロプロセサ204はユーザからの操作を受けて、必要に応じて画像表示端末201を表示駆動、或いは圧縮された画像データのデコード処理を行う。デコードされた画像データはフレームメモリ208内に一時的に蓄積される。ここで表示駆動が選択された場合には、マイクロプロセサ204の指示に従ってフレームメモリ208からタイミングコントローラ207を介してpoly-Si TFT液晶表示パネル88に画像データが入力され、表示画素マトリクス85は入力された画像を1行毎に順次表示する。このときタイミングコントローラ207は同時に、画像を表示するために必要な所定のタイミングパルスを出力する。なおpoly-Si TFT液晶表示パネル88が、これらの信号を用いて表示画素マトリクス85に画像を表示する過程に関しては、実施例1で既に述べたとおりである。なおこのときI/O回路203は必要に応じて照明205を点灯させる。なおここで二次電池209は、これらの装置全体を駆動する電源を供給する。

【0051】

本実施例5によれば、圧縮された画像データを高品位表示可能な画像表示端末を、歩留り良く低価格で提供することができる。

【0052】

【発明の効果】

本発明によれば、画像表示装置における高品位な画像表示と低消費電力化を両立させることができる。

【図面の簡単な説明】

【図 1】

実施例 1 である poly Si-TFT 液晶表示パネルの構成図。

【図 2】

実施例 1 における信号線に対応する水平シフトレジスタ、データラッチ、ラインメモリ、DA変換器の構成図。

【図 3】

実施例 1 におけるバッファアンプ及びラダー抵抗とその周辺の回路構成図。

【図 4】

実施例 1 におけるバッファアンプの回路構成図。

【図 5】

実施例 1 におけるバッファアンプの動作タイミングチャート。

【図 6】

実施例 2 における poly-Si TFT 液晶表示パネルの構成図。

【図 7】

実施例 3 におけるバッファアンプの構成図。

【図 8】

実施例 4 における表示画素の構成図。

【図 9】

実施例 5 である画像表示システムにおける、画像表示端末の全体構成図。

【図 10】

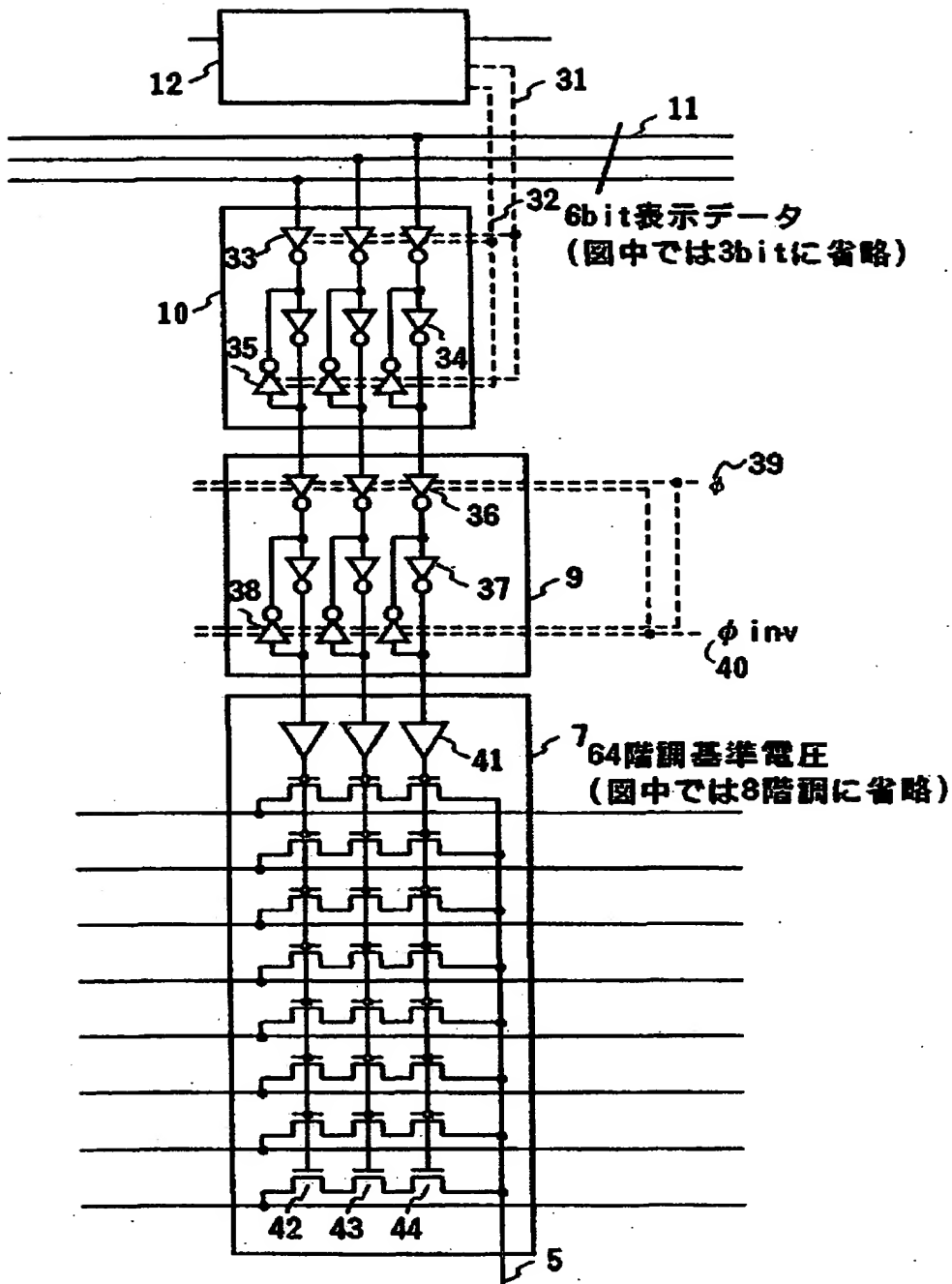
従来 of 技術を用いた液晶表示パネルの構成図。

【符号の説明】

1…画素スイッチ、2…液晶容量、3…ゲート線、4…ゲート線シフトレジスタ、5…信号線、7…DAコンバータ、8…基準電圧線、14…バッファアンプ、15…ラダー抵抗。

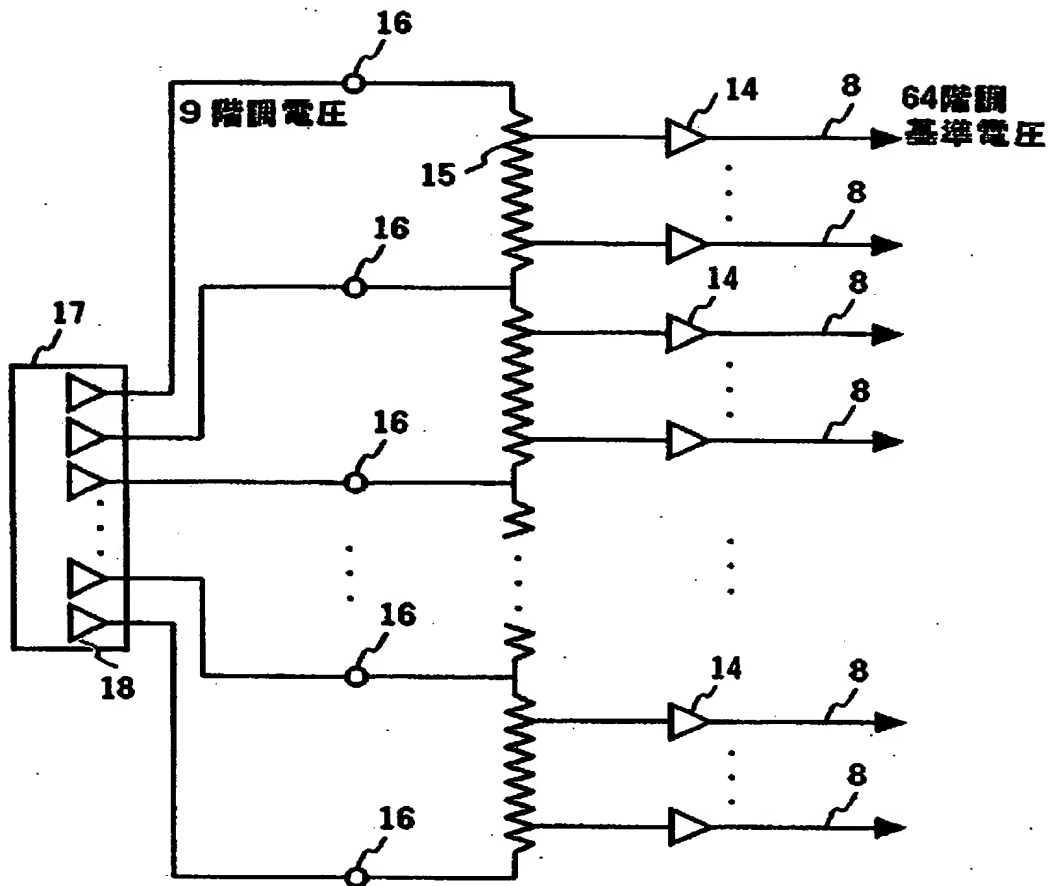
【図 2】

图 2



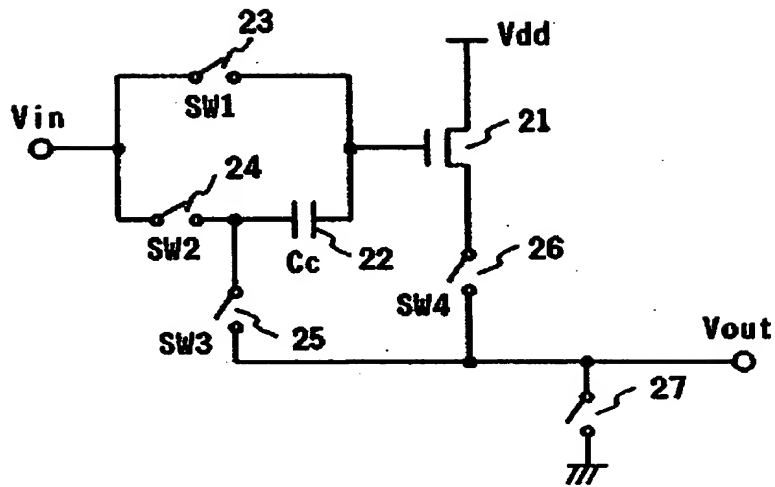
【図3】

図 3



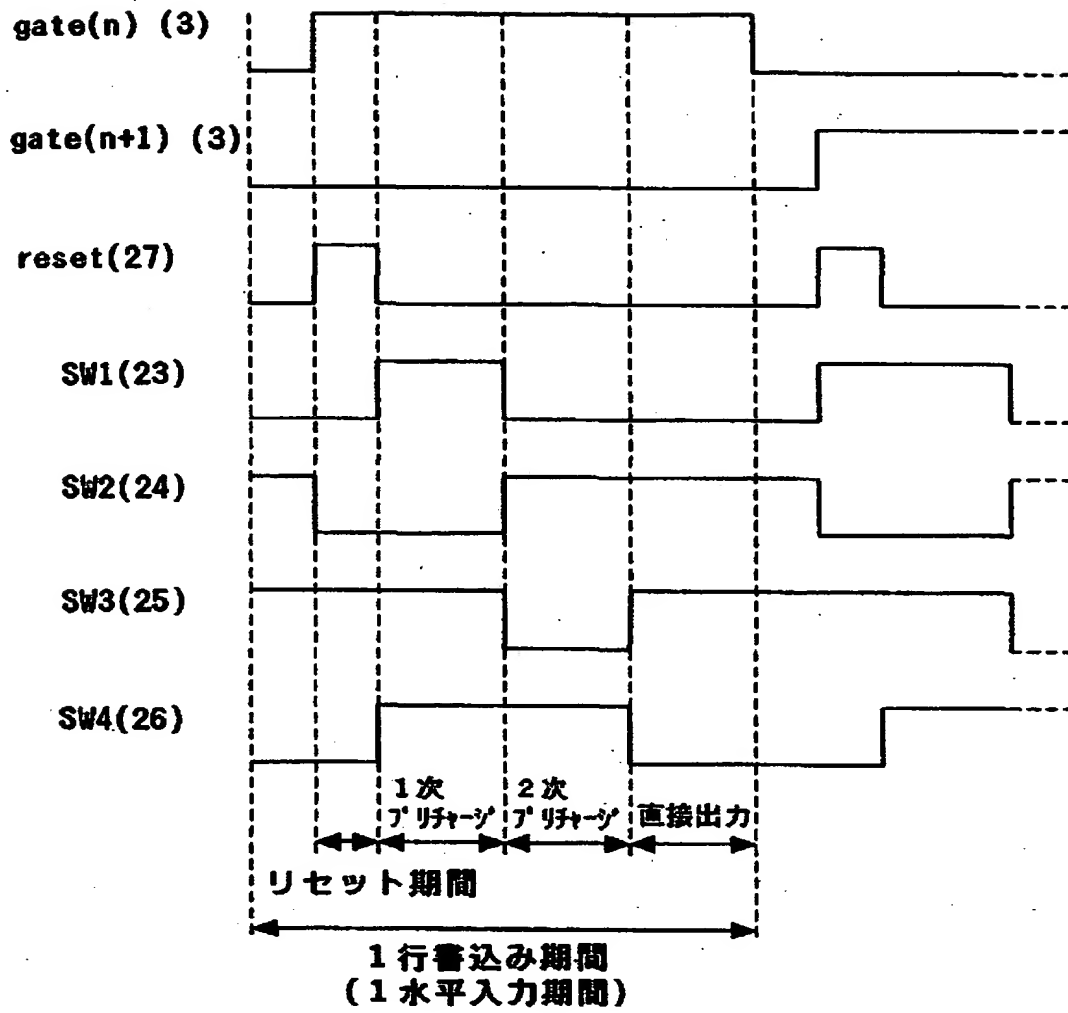
【図 4】

図 4



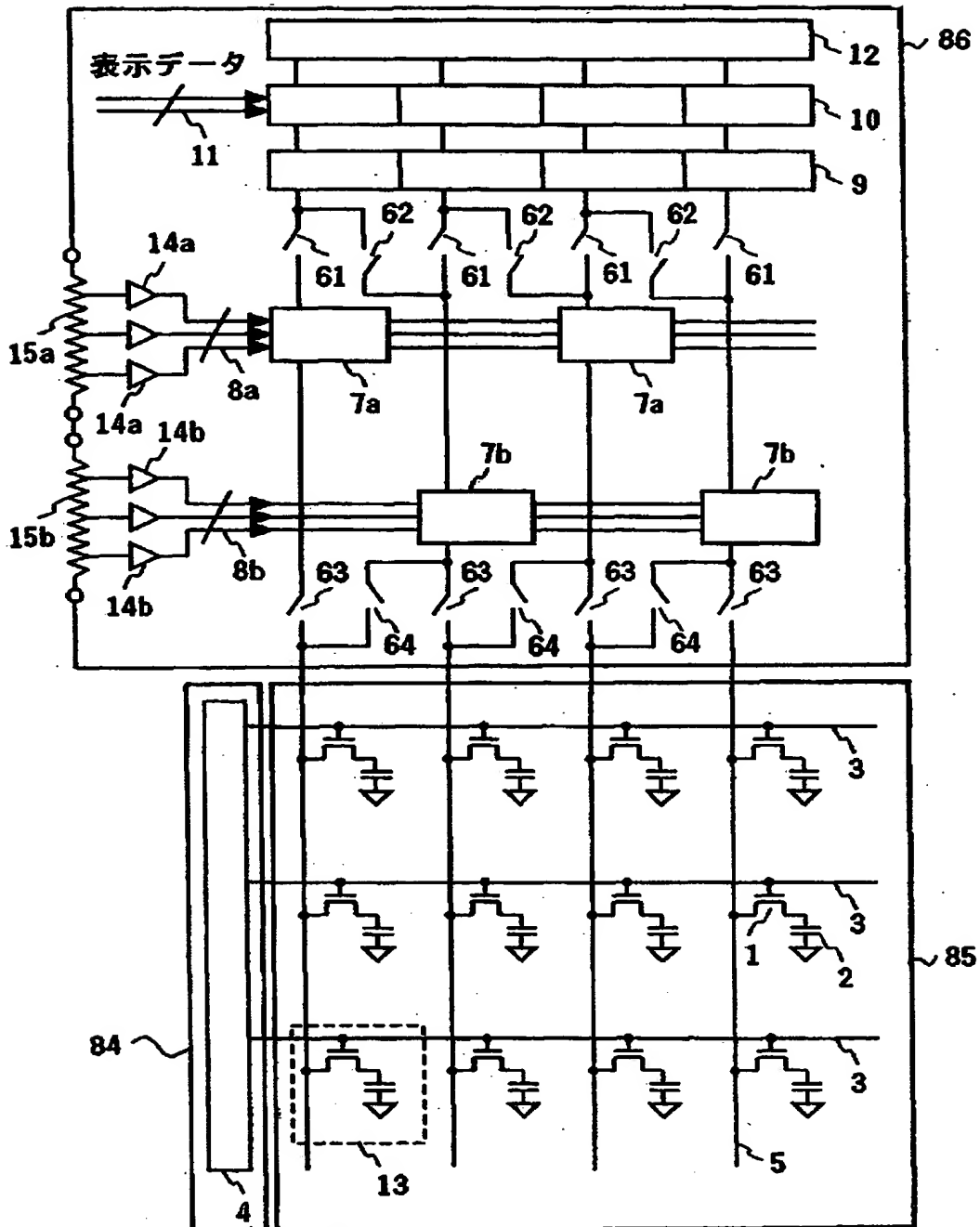
【図 5】

図 5



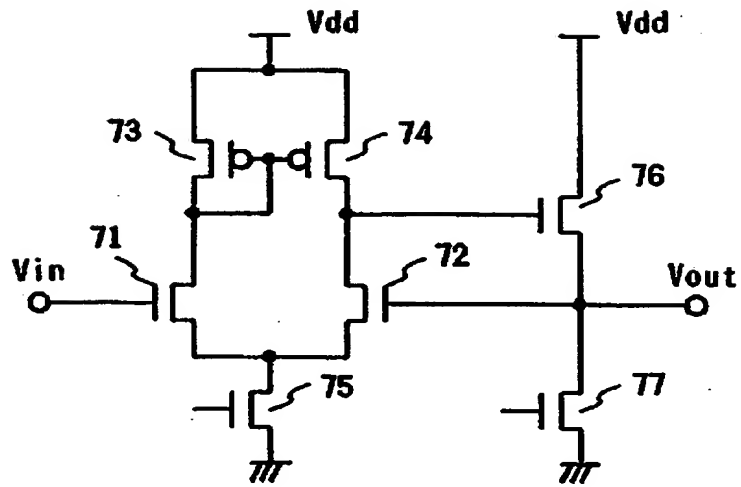
【図 6】

図 6



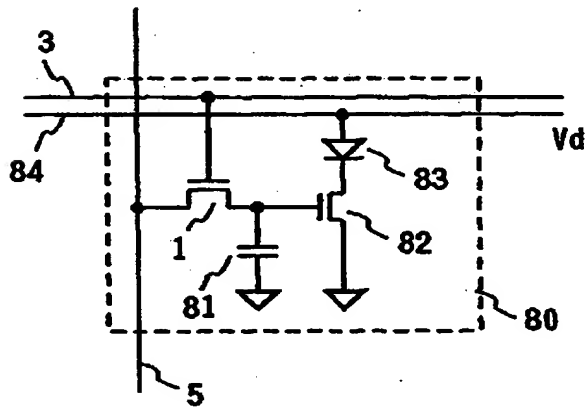
【図 7】

図 7



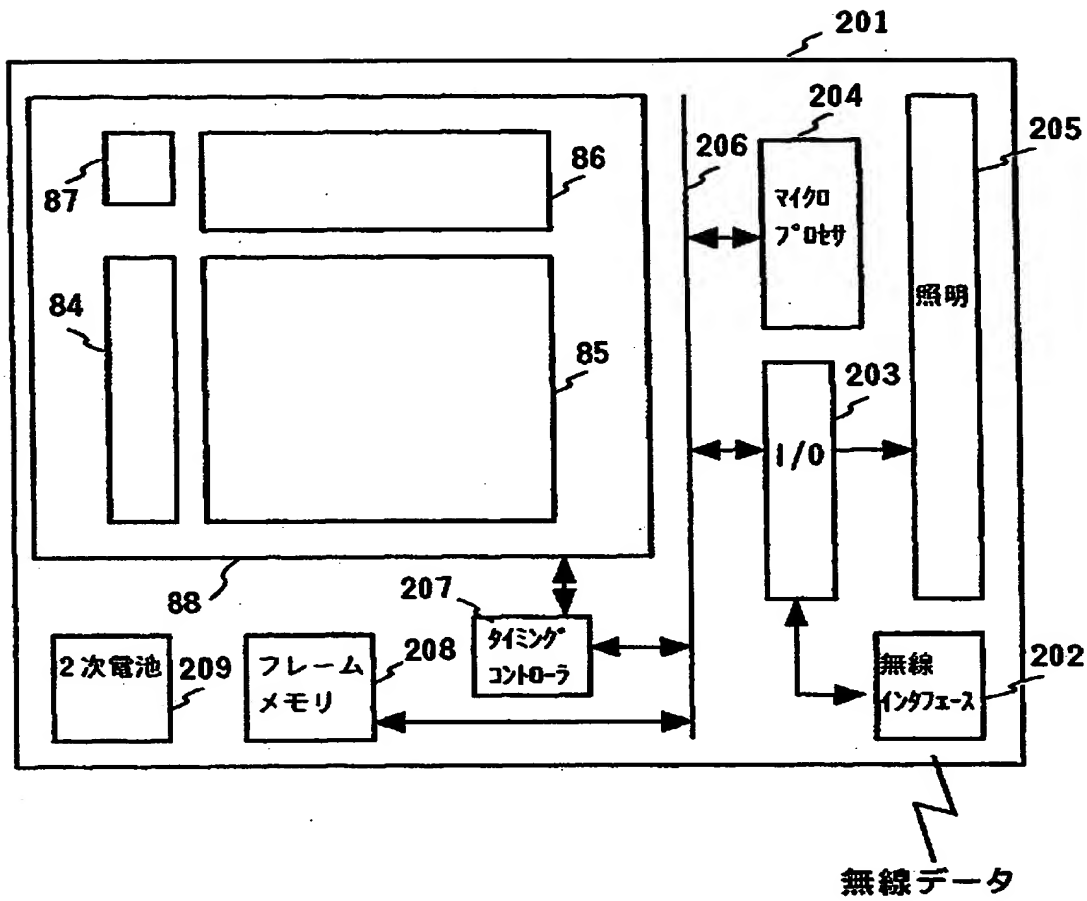
【図 8】

図 8



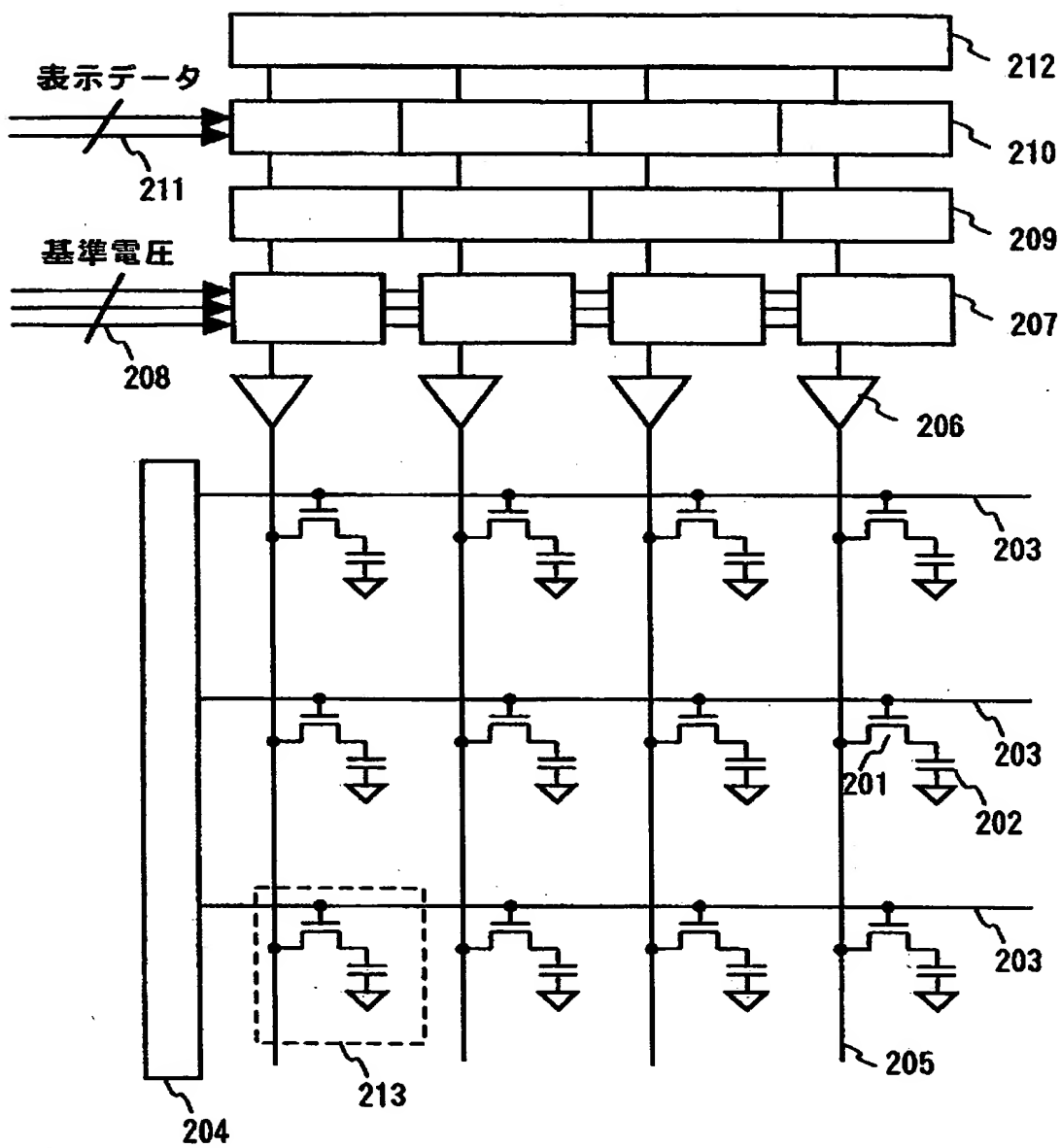
【図 9】

図 9



【図 10】

図 10



【書類名】 要約書

【要約】

【課題】

第一に多数のアナログ能動回路を作り込むことは、歩留りを低下させる原因になること。第二に多結晶 Si TFT を用いたオフセットキャンセラの能力は十分に高くないため、画質の S/N 低下の原因となること。

【解決手段】

第一にインピーダンス変換手段を各階調電圧配線とラダー抵抗の間に設けると、第二に信号線へのアナログ画像信号電圧の書き込みの際に、3 回のフェーズに分けて書きこみを行うこと。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2001-005894
受付番号	50100039517
書類名	特許願
担当官	第二担当上席 0091
作成日	平成13年 1月16日

<認定情報・付加情報>

【提出日】	平成13年 1月15日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所